


CURRENT DETECTING CIRCUIT

Patent Number: JP2002006967
Publication date: 2002-01-11
Inventor(s): YAMANAKA YUJI; KATO HIROMI
Applicant(s): MITSUMI ELECTRIC CO LTD
Requested Patent:  JP2002006967
Application Number: JP20000181522 20000616
Priority Number(s):
IPC Classification: G05F1/56; G05F1/10; H02M3/28
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To make the power consumption by a current detecting resistor small when the normal current for a load is large, and to be able to accurately detect the current when it is small.
SOLUTION: The circuit is equipped with a current detecting resistor (R2) connected between a emitter and a collector of the output transistor (Q2) and a current amplifier (48) which differentially amplifies the voltages at the one end and the other end of the current detecting resistor (R2). When the current for the load (44) is large, the output transistor (Q2) is on, and the power consumption by the current detecting resistor (R2) is small. When the current for the load (44) is small, the output transistor is off, and all of the current flows through the current detecting resistor (R2), and the accurate current detection becomes possible.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-6967

(P2002-6967A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int.Cl. ⁷	識別記号	F I	テームコード (参考)
G 0 5 F 1/56	3 2 0	G 0 5 F 1/56	3 2 0 A 5 G 0 0 3
1/10	3 0 1	1/10	3 0 1 B 5 H 4 1 0
H 0 2 M 3/28		H 0 2 M 3/28	F 5 H 4 3 0
// H 0 2 J 7/10		H 0 2 J 7/10	H 5 H 7 3 0

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願2000-181522 (P2000-181522)

(22) 出願日 平成12年6月16日 (2000.6.16)

(71) 出願人 000006220

ミツミ電機株式会社

東京都調布市国領町8丁目8番地2

(72) 発明者 山中 祐司

神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内

(72) 発明者 加藤 裕美

神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内

(74) 代理人 100070150

弁理士 伊東 忠彦

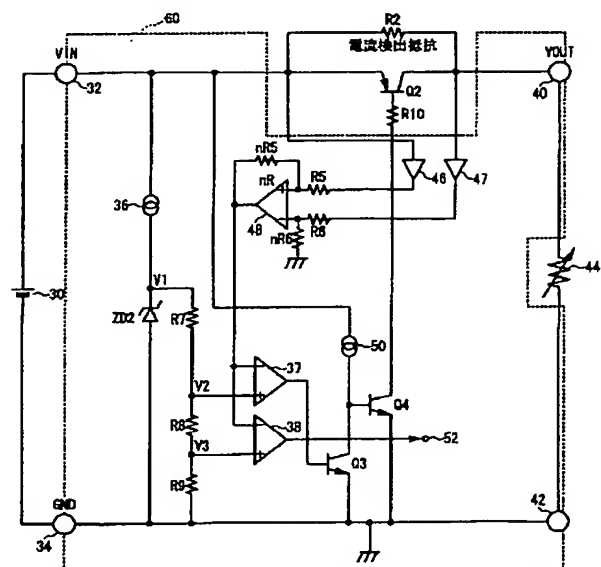
最終頁に続く

(54) 【発明の名称】 電流検出回路

(57) 【要約】

【課題】 本発明は、負荷に流れる定常電流が大きいときの電流検出抵抗での電力消費が少なく、かつ、負荷に流れる電流が小さくなったときに高精度の電流検出を行うことができる電流検出回路を提供することを目的とする。

【解決手段】 出力トランジスタ (Q2) のエミッタとコレクタとの間に接続された電流検出抵抗 (R2) と、電流検出抵抗 (R2) の一端の電圧と他端の電圧とを差動増幅して出力する電流アンプ (48) とを有するため、出力トランジスタ (Q2) がオンして負荷 (44) に流れる電流が大きいときには電流検出抵抗 (R2) での電力消費が少なく済み、かつ、出力トランジスタ (Q2) がオフして負荷 (24) に流れる電流が小さくなったとき、この電流は全て電流検出抵抗 (R2) を流れ高精度の電流検出を行うことができる。



【特許請求の範囲】

【請求項 1】 オン・オフ制御される出力トランジスタを通して出力端子から負荷に供給される電流を検出する電流検出回路であって、
前記出力トランジスタのエミッタとコレクタとの間に接続された電流検出抵抗と、
前記電流検出抵抗の一端の電圧と他端の電圧とを差動増幅して出力する電流アンプとを有することを特徴とする電流検出回路。

【請求項 2】 請求項 1 記載の電流検出回路において、
前記電流アンプの出力レベルが基準電圧を越えているとき前記出力トランジスタをオンし、前記基準電圧以下となったとき前記出力トランジスタをオフするトランジスタ制御手段を有することを特徴とする電流検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電流検出回路に関し、特に、負荷に流れる電流等を検出する電流検出回路に関する。

【0002】

【従来の技術】従来より、ACアダプタや2次電池の充電回路等で、負荷に流れる電流を検出する電流検出回路がある。

【0003】図4は従来の電流検出回路の一例の回路構成図を示す。同図中、直流電源10の正電極は電源入力端子(VIN)12に接続され、直流電源10の負電極は接地端子(GND)14に接続されている。電源入力端子12には出力pnpトランジスタQ1のエミッタが接続されている。この出力トランジスタQ1のベースには抵抗を介してオン・オフ制御信号が供給されており、コレクタは電流検出抵抗R1を介して電源出力端子(VOU)20に接続されている。上記電源出力端子20と出力側の接地端子22との間には負荷24が接続されている。

【0004】また、電源入力端子12には定電流源16の一端が接続されている。定電流源16の他端はツェナーダイオードZD1を介して接地端子14に接続されており、ツェナーダイオードZD1のカソードに定電圧V1が発生する。この定電圧V1は抵抗R3、R4で分圧され分圧電圧V4がコンパレータ18の反転入力端子に供給される。

【0005】電流検出抵抗R1のトランジスタQ1のコレクタとの接続点の電圧はバッファアンプ26を通して電流アンプ28の非反転入力端子に供給され、電流検出抵抗R1の電源出力端子との接続点の電圧はバッファアンプ27を通して電流アンプ28の反転入力端子に供給される。電流アンプ28の非反転入力端子に接続された抵抗R5と抵抗nR5との抵抗比は1:nとされ、電流アンプ28の反転入力端子に接続された抵抗R6(=R5)と抵抗nR6との抵抗比は1:nとされている。こ

のため、電流アンプ28は電流検出抵抗R1に電流が流れることによる電圧降下を差電圧として検出し、コンパレータ18の非反転入力端子に供給する。

【0006】コンパレータ18は上記差電圧を分圧電圧V4と比較して、差電圧が大きいとき(電流検出抵抗R1に流れる電流が大きくなったとき)にハイレベルで、差電圧が小さいときにローレベルとなるの信号を生成して端子29より出力する。

【0007】

【発明が解決しようとする課題】上記の従来の電流検出回路では、検出可能な検出電流I_{ls}に対して、充電時に定常的に負荷に流れ込む定常電流I_{typ}が十分に大きい場合には、検出電流I_{ls}に合わせて電流検出抵抗R1を大きくすると、定常時に電流検出抵抗R1での電力消費が大きくなり、動作電圧も制限されるという問題がある。一方、定常電流I_{typ}に合わせて電流検出抵抗R1を小さくすると、電流アンプ28で検出する電圧が小さくなり、電流アンプ28のオフセットの影響等による検出誤差要因が大きくなり、高精度が得られないという問題がある。

【0008】本発明は、上記の点に鑑みなされたもので、負荷に流れる定常電流が大きいときの電流検出抵抗での電力消費が少なく、かつ、負荷に流れる電流が小さくなったときに高精度の電流検出を行うことができる電流検出回路を提供することを目的とする。

【0009】

【課題を解決するための手段】請求項1に記載の発明は、オン・オフ制御される出力トランジスタ(Q2)を通して出力端子(40)から負荷(44)に供給される電流を検出する電流検出回路であって、前記出力トランジスタ(Q2)のエミッタとコレクタとの間に接続された電流検出抵抗(R2)と、前記電流検出抵抗(R2)の一端の電圧と他端の電圧とを差動増幅して出力する電流アンプ(48)とを有する。

【0010】このように、電流検出抵抗(R2)を出力トランジスタ(Q2)のエミッタとコレクタとの間に接続することにより、出力トランジスタ(Q2)がオンして負荷(44)に流れる電流が大きいときには電流検出抵抗(R2)での電力消費が少なく済み、かつ、出力トランジスタ(Q2)がオフして負荷(44)に流れる電流が小さくなったとき、この電流は全て電流検出抵抗(R2)を流れ高精度の電流検出を行うことができる。

【0011】請求項2に記載の発明は、請求項1記載の電流検出回路において、前記電流アンプ(48)の出力レベルが基準電圧を越えているとき前記出力トランジスタ(Q2)をオンし、前記基準電圧以下となったとき前記出力トランジスタ(Q2)をオフするトランジスタ制御手段(37, 50, Q3, Q4)を有する。

【0012】このように、電流アンプ(48)の出力レベルが基準電圧を越えているとき出力トランジスタをオ

ンし、基準電圧以下となったとき出力トランジスタをオフするため、出力トランジスタ(Q2)がオンして負荷(44)に流れる電流が大きいときには電流検出抵抗(R2)での電力消費が少なくて済み、かつ、出力トランジスタ(Q2)がオフして負荷(44)に流れる電流が小さくなったとき、この電流は全て電流検出抵抗(R2)を流れ高精度の電流検出を行うことができる。

【0013】なお、上記括弧内の参照符号は、理解を容易にするために付したものであり、一例にすぎず、図示の態様に限定されるものではない。

【0014】

【発明の実施の形態】図1は本発明の電流検出回路の一実施例の回路構成図を示す。同図中、直流電源30の正電極は電源入力端子(VIN)32に接続され、直流電源30の負電極は接地端子(GND)34に接続されている。電源入力端子32には出力pnpトランジスタQ2のエミッタが接続されている。この出力トランジスタQ2のベースには後述のトランジスタQ4から抵抗R10を介してオン・オフ制御信号が供給されており、トランジスタQ2のエミッタ、コレクタ間には電流検出抵抗R2が接続されており、トランジスタQ2のコレクタは電源出力端子(VOU)40に接続されている。上記電源出力端子40と出力側の接地端子42との間には負荷44が接続されている。

【0015】また、電源入力端子32には定電流源36の一端が接続されている。定電流源36の他端はツェナーダイオードZD2を介して接地端子34に接続されており、ツェナーダイオードZD2のカソードに定電圧V1が発生する。この定電圧V1は直列接続された抵抗R7、R8、R9で分圧される。抵抗R7、R8の接続点における分圧電圧V2はコンパレータ37の非反転入力端子に供給される。また、抵抗R8、R9の接続点における分圧電圧V3($V3 < V2$)はコンパレータ38の反転入力端子に供給される。

【0016】電流検出抵抗R2のトランジスタQ2のエミッタとの接続点の電圧はバッファアンプ46を通して電流アンプ48の非反転入力端子に供給され、電流検出抵抗R2のトランジスタQ2のコレクタとの接続点の電圧はバッファアンプ47を通して電流アンプ48の反転入力端子に供給される。電流アンプ48の非反転入力端子に接続された抵抗R5と抵抗 $nR5$ との抵抗比は1:nとされ、電流アンプ48の反転入力端子に接続された抵抗R6($=R5$)と抵抗 $nR6$ との抵抗比は1:nとされている。このため、電流アンプ48は電流検出抵抗R2に電流が流れることによる電圧降下を差電圧として検出し、コンパレータ37の反転入力端子及びコンパレータ38の非反転入力端子に供給する。

【0017】コンパレータ37は上記差電圧を分圧電圧V2と比較して、差電圧が小さいとき(電流検出抵抗R2に流れる電流が小さくなったとき)にハイレベルで、

差電圧が大きいときにローレベルの信号を生成してnpnトランジスタQ3のベースに供給する。トランジスタQ3のエミッタは接地され、トランジスタQ3のコレクタはnpnトランジスタQ4のベースに接続されると共に、定電流源50を介して電源入力端子32に接続されている。トランジスタQ4のコレクタは抵抗R10を介してトランジスタQ2のベースに接続され、トランジスタQ4のエミッタは接地端子34に接続されている。

【0018】コンパレータ38は上記差電圧を分圧電圧V3($V3 < V2$)と比較して、差電圧が大きいときにハイレベルで、差電圧が小さいときにローレベルとなる信号を生成して端子52より出力する。なお、破線で囲んだ部分は半導体集積化された集積回路部60である。

【0019】ここで、充電時に定常的に負荷44に流れる定常電流 I_{typ} が大きいときには(電源入力端子32と電源出力端子40間の電圧が大きい)、電流アンプ48の出力する差電圧が分圧電圧V2より高く、コンパレータ37出力はローレベルとなり、トランジスタQ3がオフ、トランジスタQ4がオンとなって、トランジスタQ2がオンし、トランジスタQ2のコレクタ・エミッタ間電圧は小さくなる。この負帰還動作により、トランジスタQ2のコレクタ・エミッタ間電圧は一定の値($V2/n$)に制御される。つまり、電流検出抵抗R2の抵抗値を大きく設定してもトランジスタQ2のオンにより電流検出抵抗R2での電力消費は小さく、動作電圧を充分確保できる。なお、上記の定常時にはコンパレータ38出力はハイレベルである。

【0020】また、定常電流 I_{typ} が小さくなり、電流アンプ48の出力する差電圧が分圧電圧V2より低くなると、コンパレータ37出力はハイレベルとなり、トランジスタQ3がオン、トランジスタQ4がオフとなって、トランジスタQ2がオフしトランジスタQ2のコレクタ・エミッタ間電圧が大きくなる。つまり、負荷44に流れる電流は全て電流検出抵抗R2を通るようになる。

【0021】更に、電流検出抵抗R2を通して負荷44に流れる電流が小さくなり、電流アンプ48の出力する差電圧が分圧電圧V3より低くなると、コンパレータ38出力はハイレベルからローレベルとなる。この信号は端子52から制御信号として外部に出力される。

【0022】このように、電流アンプ48の出力レベルが基準電圧を越えているとき出力トランジスタをオンし、基準電圧以下となったとき出力トランジスタをオフするため、出力トランジスタQ2がオンして負荷24に流れる電流が大きいときには電流検出抵抗R2での電力消費が少なくて済み、かつ、出力トランジスタQ2がオフして負荷24に流れる電流が小さくなったとき、この電流は全て電流検出抵抗R2を流れ高精度の電流検出を行うことができる。

【0023】図2は、本発明の電流検出回路を適用した

充電回路の一実施例の構成図を示す。同図中、図 1 と同一部分には同一符号を付す。図 2 において、端子 6 1、6 2 間には例えば AC アダプタ等の直流電源 6 4 が接続される。端子 6 1 には集積回路部 6 0 の電源入力端子 3 2 及び電流検出抵抗 R 2 の一端及びトランジスタ Q 2 のエミッタが接続されると共に、発光ダイオード (LED) 6 6 のアノードが接続されている。発光ダイオード 6 6 は例えば緑色で発光するものであり、発光ダイオード 6 6 のカソードは抵抗 R 1 2 を介して集積回路部 6 0 の端子 5 2 に接続されている。また、端子 6 2 は集積回路部 6 0 の接地端子 (GND) 3 4 に接続されている。

【0024】端子 6 7、6 8 間には充電される 2 次電池 7 0 が接続される。端子 6 7 には集積回路部 6 0 の電源出力端子 4 0 及び電流検出抵抗 R 2 の他端及びトランジスタ Q 2 のコレクタが接続され、端子 6 8 には端子 6 2 及び集積回路部 6 0 の接地端子 3 4 が接続されている。

【0025】この充電回路では、集積回路部 6 0 の端子 5 2 が発光ダイオード 6 6 に接続されている。定常的に 2 次電池 7 0 に流れる電流が大きい充電時には、コンパレータ 3 8 出力がハイレベルであるため発光ダイオード 6 6 は消灯している。その後、充電が完了して電流アンプ 4 8 の出力する差電圧が分圧電圧 V 3 より低くなると、コンパレータ 3 8 出力はローレベルとなり、発光ダイオード 6 6 が緑色点灯して充電が完了したことを表示する。

【0026】図 3 は、本発明の電流検出回路を適用した AC アダプタの一実施例の構成図を示す。同図中、図 1 と同一部分には同一符号を付す。図 3 において、交流電源 8 0 より供給される交流は整流部 8 2 で全波整流されてトランス 8 4 の 1 次コイル L 1、L 2 に供給される。スイッチングトランジスタ Q 1 0 はコレクタ、エミッタそれぞれを 1 次コイル L 1、L 2 の一端に接続されており、ベースにスイッチング制御回路 8 6 からスイッチング制御信号を供給されている。1 次コイル L 2 はスイッチング制御回路 8 6 に電源を供給するために設けられており、スイッチング制御回路 8 6 の両端には制御トランジスタ Q 1 1 のエミッタ、コレクタが接続されている。

【0027】トランス 8 4 の 2 次コイル L 3 の両端に誘起される電圧は整流部 8 8 で整流される。整流部 8 8 のコンデンサ C 1 の一端には、集積回路部 9 0 の電源入力端子 3 2 及び電流検出抵抗 R 2 の一端及びトランジスタ Q 2 のエミッタが接続されている。また、コンデンサ C 1 の他端には、集積回路部 9 0 の接地端子 (GND) 3 4 に接続されている。アダプタの出力端子 1 0 0 には集積回路部 9 0 の電源出力端子 4 0 及び電流検出抵抗 R 2 の他端及びトランジスタ Q 2 のコレクタが接続され、接地側の端子 1 0 1 には端子 6 2 及び集積回路部 9 0 の接地端子 3 4 が接続されている。端子 1 0 0、1 0 1 間には分圧抵抗 R 1 5、R 1 6 が接続されており、分圧抵抗 R 1 5、R 1 6 の接続点は集積回路部 9 0 の端子 9 1 に

接続されている。

【0028】整流部 8 8 の正極側には抵抗 R 2 2、R 2 1 それぞれを介してフォトカプラ PC 1、PC 2 それぞれの発光ダイオード PC 1 A、PC 2 A のアノードが接続され、フォトカプラ PC 1、PC 2 それぞれの発光ダイオード PC 1 A、PC 2 A のカソードは集積回路部 9 0 の端子 9 2、5 3 それぞれに接続されている。

【0029】なお、図 3 において、集積回路部 9 0 は、集積回路部 6 0 と同一回路を内蔵する。ただし、端子 5 2 出力を反転して出力する端子 5 3 を有している。これと共に、集積回路部 9 0 は分圧抵抗 R 1 5、R 1 6 の接続点の電圧 (検出電圧) を所定の基準電圧と比較して、検出電圧が基準電圧より低いときハイレベルで、高いときローレベルとなる信号を端子 9 2 より出力するものとする。

【0030】この AC アダプタでは、充電時に、検出電圧が基準電圧より低いときは端子 9 2 出力がハイレベルであるため、フォトカプラ PC 1 は駆動されないが、検出電圧が基準電圧より高くなると、端子 9 2 出力がローレベルとなってフォトカプラ PC 1 が駆動され、1 次コイル L 2 に設けられたフォトカプラ PC 1 のフォトトランジスタ PC 1 B が導通して制御トランジスタ Q 1 1 がオンし、スイッチング制御回路 8 6 の両端間が短絡され、スイッチングトランジスタ Q 1 0 は停止する。これによって、端子 1 0 0、1 0 1 間の電圧が過大となることが防止され、保護される。

【0031】また、電流アンプ 4 8 の出力する差電圧が分圧電圧 V 3 より高いときは端子 5 3 出力がローレベル (コンパレータ 3 8 出力がハイレベル) であるためフォトカプラ PC 2 が駆動され、スイッチング制御回路 8 6 に設けられたフォトカプラ PC 2 のフォトトランジスタ PC 2 B が導通してスイッチング制御回路 8 6 がイネーブル状態となっている。

【0032】その後、充電が完了して電流アンプ 4 8 の出力する差電圧が分圧電圧 V 3 より低くなると、端子 5 3 出力がハイレベルとなり、フォトカプラ PC 2 の駆動が停止され、スイッチング制御回路 8 6 が動作を停止する。これによって、トランス 8 4 の 2 次側に無駄な電力を供給することが停止される。

【0033】なお、端子 1 0 0、1 0 1 間には、単に負荷を接続しても良い。この場合、負荷が接続される定常時にはトランジスタ Q 2 がオンし、負荷が外された非定常時にはトランジスタ Q 2 がオフする。この切替のための電流レベルは抵抗 R 2 によって設定する。これにより、負荷が外された場合に AC アダプタ側の電力を抑える制御が可能となる。

【0034】

【発明の効果】上述の如く、請求項 1 に記載の発明は、電流検出抵抗を出力トランジスタのエミッタとコレクタとの間に接続することにより、出力トランジスタがオン

して負荷に流れる電流が大きいときには電流検出抵抗での電力消費が少なくて済み、かつ、出力トランジスタがオフして負荷に流れる電流が小さくなったとき、この電流は全て電流検出抵抗を流れ高精度の電流検出を行うことができる。

【0035】請求項2に記載の発明は、電流アンプの出力レベルが基準電圧を越えているとき出力トランジスタをオンし、基準電圧以下となったとき出力トランジスタをオフするため、出力トランジスタがオンして負荷に流れる電流が大きいときには電流検出抵抗での電力消費が少なくて済み、かつ、出力トランジスタがオフして負荷に流れる電流が小さくなったとき、この電流は全て電流検出抵抗を流れ高精度の電流検出を行うことができる。

【図面の簡単な説明】

【図1】本発明の電流検出回路の第1実施例の回路構成図である。

【図2】本発明の電流検出回路を適用した充電回路の一

実施例の構成図である。

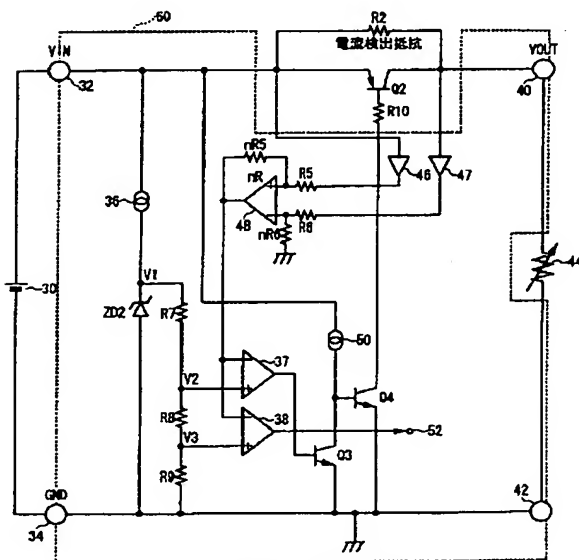
【図3】本発明の電流検出回路を適用したACアダプタの一実施例の構成図である。

【図4】従来の電流検出回路の一例の回路構成図である。

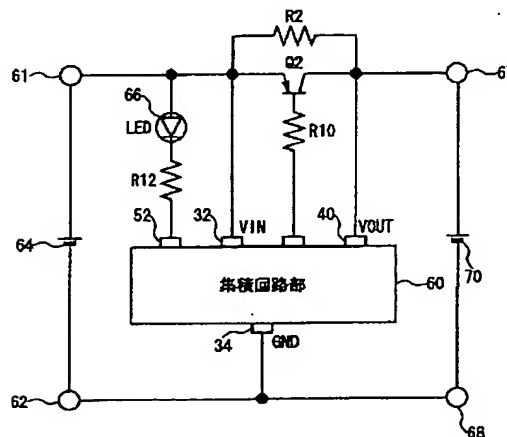
【符号の説明】

- 30 直流電源
- 32 電源入力端子
- 34, 42 接地端子
- 36 定電流源
- 37, 38 コンパレータ
- 40 電源出力端子
- 44 負荷
- DZ2 ツェナーダイオード
- R2~R22 抵抗
- 46, 47 バッファアンプ
- 48 電流アンプ

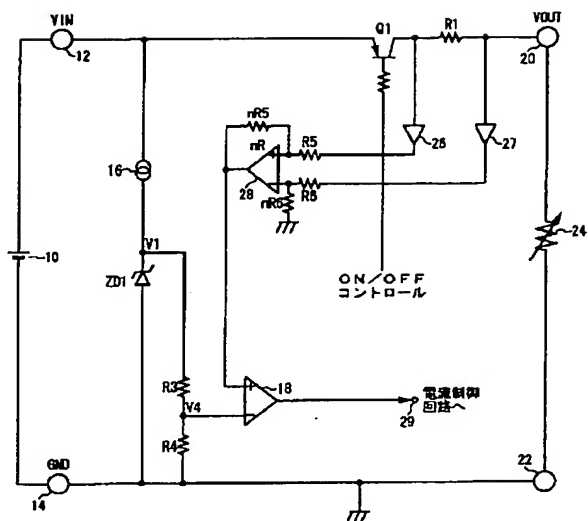
【図1】



【図2】



【図 4】



Fターム(参考)	5G003	AA01	BA01	CA01	CA11	EA02
		FA08	GA10	GB04		
	5H410	CC02	DD02	EA10	EB01	EB15
		EB37	FF05	FF24	FF25	
	5H430	BB09	BB12	EE03	EE18	FF07
		FF12	FF13	GG02	GG05	GG09
		HH03				
	5H730	AS01	BB23	BB43	BB52	BB86
		CC01	DD02	EE02	EE08	EE18
		EE60	EE72	FD01	FD31	FF01
		FG01	FG07	FV05	VV03	XX43

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.